

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-259320

(43)Date of publication of application : 16.09.1994

(51)Int.Cl.

G06F 12/06
G11C 16/06

(21)Application number : 05-043566

(71)Applicant : HITACHI LTD

(22)Date of filing : 04.03.1993

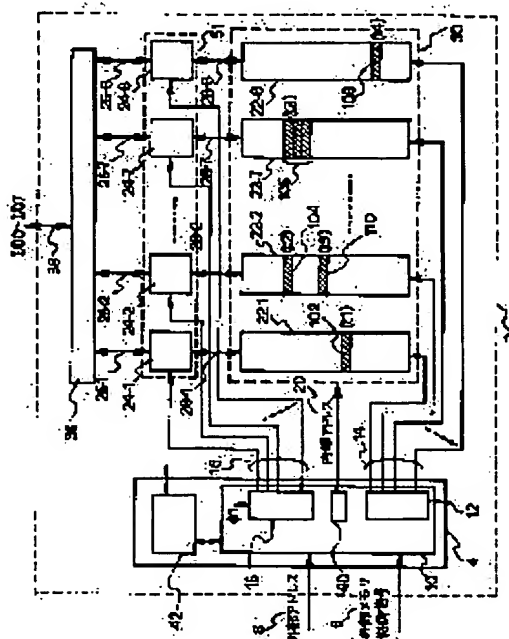
(72)Inventor : SASAKI TOSHIO
TANAKA TOSHIHIRO
KATO MASATAKA

(54) NONVOLATILE MEMORY DEVICE

(57)Abstract:

PURPOSE: To suppress an increase in current consumption and to shorten the total rewriting time by individually shifting and selecting respective sectors of memory blocks with time and performing erasure and writing control.

CONSTITUTION: The rewriting, i.e., erasure and writing of data are processed by shifting and selecting respective corresponding sectors among respective sectors of individual memory blocks 22-1 to 22-8 1st buffer memories 24-1 to 24-8 with time. At this time, the memory device 2 when inputting an external address judges whether or not the sector corresponding to the external address can be erased in current operation mode and starts erasing the sector when the sector can be erased. If there are many sectors being written and simultaneous parallel rewriting exceeds the set maximum permissible current of the memory device and can not be done, the completion of sectors precedently in process is awaited by making a temporary wait. Then the sector begins to be rewritten after the process is completed. Further, writing is performed following the erasure of the sector.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 28.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3594626

[Date of registration] 10.09.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-259320

(43)公開日 平成6年(1994)9月16日

(51)Int.Cl.⁵

G 0 6 F 12/06

G 1 1 C 16/06

識別記号

5 3 0

庁内整理番号

9366-5B

6866-5L

F I

G 1 1 C 17/ 00

技術表示箇所

3 0 9 C

審査請求 未請求 請求項の数24 O L (全 12 頁)

(21)出願番号

特願平5-43566

(22)出願日

平成5年(1993)3月4日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 佐々木 敏夫

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 田中 利広

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 加藤 正高

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 中村 純之助

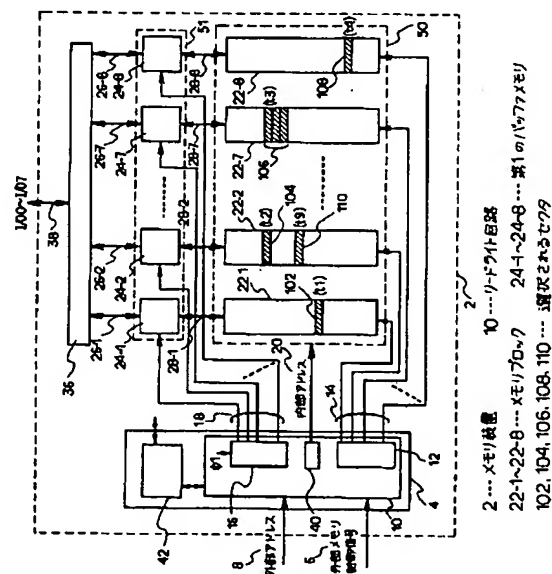
(54)【発明の名称】 不揮発性メモリ装置

(57)【要約】

【目的】不揮発性メモリ装置の消去、書込み動作、すなわち書換え処理を効率よく低消費電力で高速化する。

【構成】複数の不揮発性メモリセルの構成を含む複数のセクタから成る複数のメモリブロックと、該メモリブロックの各々に接続されて該メモリブロック内の1セクタと少なくとも同一メモリ容量を有するバッファメモリと、外部アドレスから各セクタを選択する内部アドレスを生成し該内部アドレスに対応する各セクタと該セクタに対応する上記バッファメモリとの間における情報の読出しと書換えの制御を行うリードライト回路を有する不揮発性メモリ装置において、上記リードライト回路が、上記メモリブロック内の少なくとも1つのセクタを単位として、上記各メモリブロックの個々のセクタの活性を時間的にシフトしつつ選択する手段と、その選択したセクタに対して情報の書換えのための情報の消去もしくは書込みをする手段を備える。

図1 本発明の装置の消去、書込みの回路図



【特許請求の範囲】

【請求項1】複数の不揮発性メモリセルの構成を含む複数のセクタから成る複数のメモリブロックと、該メモリブロックの各々に接続されて該メモリブロック内の1セクタと少なくとも同一メモリ容量を有するバッファメモリと、少なくとも外部アドレスから各セクタを選択する内部アドレスを生成し該内部アドレスに対応する各セクタと該セクタに対応する上記バッファメモリとの間における情報の読出しと書換えの制御を行うリードライト回路を有する不揮発性メモリ装置において、上記リードライト回路が、上記メモリブロック内の少なくとも1つのセクタを単位として、上記各メモリブロックの個々のセクタの活性を時間的にシフトしつつ選択する手段と、その選択したセクタに対して情報の書換えのための情報の消去もしくは書込みをする手段を備えることを特徴とする不揮発性メモリ装置。

【請求項2】請求項1記載の不揮発性メモリ装置において、上記リードライト回路は、各セクタの消去を任意の時間シフト選択することで実行し、かつ書込みは各セクタの選択が時間的に重ならないように上記内部アドレスを制御する手段を備えることを特徴とする不揮発性メモリ装置。

【請求項3】請求項1記載の不揮発性メモリ装置において、上記リードライト回路は、各セクタの消去選択が時間的に重ならないよう上記内部アドレスを制御する手段を備えることを特徴とする不揮発性メモリ装置。

【請求項4】請求項1記載の不揮発性メモリ装置において、上記リードライト回路は、まず、入力された外部アドレスを基に該当するセクタの全てを消去し、次いで上記メモリブロックに対するバッファメモリのデータを該当するセクタの全てに書込むよう制御する手段を備えることを特徴とする不揮発性メモリ装置。

【請求項5】請求項1記載の不揮発性メモリ装置において、上記リードライト回路は、任意のセクタの選択書込み時に上記選択した以外のセクタの消去もしくは書込みを禁止するよう制御する手段を備えることを特徴とする不揮発性メモリ装置。

【請求項6】請求項1乃至請求項5の何れかに記載の不揮発性メモリ装置において、上記バッファメモリは書込みデータを上記バッファメモリに一時記憶し、外部の消去もしくは書込み指示に応じて、上記リードライト回路が上記書込みデータをメモリセルに印加する構成を備えることを特徴とする不揮発性メモリ装置。

【請求項7】請求項1記載の不揮発性メモリ装置において、上記リードライト回路は、所定のセクタが消去中もしくは書込み中であることを検出し、消去中であれば該当セクタ以外の他のセクタが書込み可能なことを許可し、書込み中であれば他のセクタが消去可能なことを許可する手段を備えることを特徴とする不揮発性メモリ装置。

【請求項8】請求項1記載の不揮発性メモリ装置において、上記リードライト回路は、所定のメモリブロックのセクタが消去中もしくは書込み中であることを検出し、消去中であれば該当セクタをもつメモリブロック以外のメモリブロックのセクタが書込み可能なことを許可し、書込み中であれば上記他のセクタが消去可能なことを許可する手段を備えることを特徴とする不揮発性メモリ装置。

【請求項9】請求項1記載の不揮発性メモリ装置において、上記内部アドレスを記憶するアドレスレジスタを有し、該アドレスレジスタは実行中の内部アドレスとこれから実行するアドレスを記憶するアドレスレジスタのいずれか一方、もしくは両者を有することを特徴とする不揮発性メモリ装置。

【請求項10】請求項1記載の不揮発性メモリ装置において、上記リードライト回路は、消去中もしくは書込み選択中は、選択中の所定のセクタをもつメモリブロック以外のメモリブロックのセクタ選択を禁止するため、実行中の内部アドレスとこれから実行する内部アドレスを記憶するアドレスレジスタを具備することを特徴とする不揮発性メモリ装置。

【請求項11】請求項10記載の不揮発性メモリ装置において、上記アドレスレジスタが、所定のセクタ以外のセクタ選択を禁止するため、実行中の内部アドレスとこれから実行するアドレスを区別するフラグビットを少なくとも1ビット以上有することを特徴とする不揮発性メモリ装置。

【請求項12】請求項1記載の不揮発性メモリ装置において、セクタ単位で不良セクタを代替するセクタ救済回路を少なくとも有することを特徴とする不揮発性メモリ装置。

【請求項13】請求項1記載の不揮発性メモリ装置において、上記バッファメモリとして、第1のバッファメモリと第2のバッファメモリを有し、上記リードライト回路は上記第1のバッファメモリと第2のバッファメモリに指示することにより、第1と第2のバッファメモリ間のデータ転送と、該当するセクタと第1のバッファメモリもしくは他のセクタと第2のバッファメモリ間での相互データ転送を可能とする構成であることを特徴とする不揮発性メモリ装置。

【請求項14】請求項13記載の不揮発性メモリ装置において、上記リードライト回路は上記第1のバッファメモリが所定のセクタに書込みデータを転送中においても、上記第2のバッファメモリが他のセクタの読出しデータを装置の外部へ転送する構成であることを特徴とする不揮発性メモリ装置。

【請求項15】請求項13記載の不揮発性メモリ装置において、上記リードライト回路は上記第1のバッファメモリが所定のセクタに書込みデータを転送中においても、上記第2のバッファメモリが他のメモリブロックの

セクタの読出しデータを装置の外部へ転送する構成であることを特徴とする不揮発性メモリ装置。

【請求項16】請求項1記載の不揮発性メモリにおいて、上記バッファメモリの各々が、シリアルポートとパラレルポートを有するマルチポート形メモリであることを特徴とする不揮発性メモリ装置。

【請求項17】請求項13記載の不揮発性メモリ装置において、上記第1もしくは第2のバッファメモリの容量は、上記不揮発性メモリブロックの消去と書込みの単位であるセクタの容量の少なくとも1倍以上の倍数で構成されることを特徴とする不揮発性メモリ装置。

【請求項18】請求項1記載の不揮発性メモリ装置において、上記メモリブロックと、上記バッファメモリと、上記リードライト回路のうち、少なくとも2つを同一半導体基板上に設けたことを特徴とする不揮発性メモリ装置。

【請求項19】請求項13記載の不揮発性メモリ装置において、上記第1のバッファメモリと第2のバッファメモリのいずれか一つが不揮発性メモリで構成されることを特徴とする不揮発性メモリ装置。

【請求項20】請求項1記載の不揮発性メモリ装置において、上記各セクタを時間的にシフトさせ選択する時系列的な消去、書込動作をメモリ装置の動作モード選択機能により選択可能とする構成であることを特徴とする不揮発性メモリ装置。

【請求項21】請求項1記載の不揮発性メモリ装置において、上記バッファメモリがSRAM形メモリ、DRAM形メモリ、もしくは上記メモリの組合せ、のいずれかで構成された半導体メモリであることを特徴とする不揮発性メモリ装置。

【請求項22】請求項1記載の不揮発性メモリ装置において、消去もしくは書込みが正常に完了しなかった不良セクタはそのセクタのアドレスを装置の入出力端子を介して外部出力するか、もしくはシステム内部のセクタ管理テーブルへ転送するか、いずれかの手段を少なくとも備えることを特徴とする不揮発性メモリ装置。

【請求項23】請求項22記載の不揮発性メモリ装置において、各セクタの内部アドレスを内蔵するセクタ管理テーブルを有して、該セクタ管理テーブルは、該テーブルによる不良セクタへの消去、書込み、読出しアクセスが、予備のセクタへのアクセスとなるよう構成されることを特徴とする不揮発性メモリ装置。

【請求項24】請求項1記載の不揮発性メモリ装置において、システムの電源遮断等で消去、書込みが完了できなかったセクタは消去もしくは書込み動作を電源復帰時に再実施できるよう構成することを特徴とする不揮発性メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体メモリにおける電

氣的に消去可能なプログラムリードオンリメモリに係り、特に高速の消去、書込みに好適な不揮発性メモリ装置に関する。

【0002】

【従来の技術】先ず、本発明の基本機能のために従来構成の不揮発性メモリ装置について説明する。従来の不揮発性メモリ装置においては、図2のような消去、書込みによるデータ書換え方法が用いられている。この図は、特開平2-99114号に記載されているものであり、チップ上のEEPROMセルすなわち不揮発性メモリセルのアレイがセクタとして構成され、そしてその各々のセクタに含まれる全てのセルが同時に消去されることを示している。すなわち装置は消去のためにチップ間の組み合わせを選択し、それらを同時に消去する。これにより従来の装置は、全てのセルが毎回消されるか、または一つのセクタが一時に消された過去の装置構成に比べて、より早くかつ効果的になっている。

【0003】

【発明が解決しようとする課題】上記従来技術の問題は、チップ間にわたる複数のセクタを同時に消去することである。消去もしくは書込みに要する電流は不揮発性メモリセルのフローティングゲートへの注入、放出現象により異なるが、例えばトンネル現象による電流ではセル当たり10nA程度であり、同時選択されるセル数が1Kビットでは10μAとなる。しかし、消去もしくは書込み時の高電圧系電源、CMOS論理回路等の駆動回路を考慮すると数10mAと大きく、装置全体で複数のチップが同時消去もしくは書込みを活性化する場合、相当量の電流になる。このため装置は消費電流増によるノイズ増加、発熱要因による信頼性上の問題が生じる。なお、1チップ内の複数セクタの同時駆動は基本的に消去するセル数が増加することであって1セクタ駆動と大きな差は無く、複数チップにわたるセクタ駆動に比べて小電流増加となる程度である。従って、本発明の目的は、装置全体の消去もしくは書込みにおいて流れる消費電流を時間的に分散して、不揮発性メモリ装置の消去、書込み動作、すなわち書換え処理を効率よく低消費電力で高速化することにある。

【0004】

【課題を解決するための手段】本発明の一実施形態に従えば、上記目的は次のようにして解決される。すなわち、例えば図1に示すように、第1のバッファメモリ（24-1～24-8）は不揮発性メモリの書換え単位であるセクタのメモリ容量を有し、メモリブロック（22-1～22-8）と外部I/O信号（38）間に配置する。すなわち第1のバッファメモリのメモリセルとメモリブロックの1つのセクタのメモリセルは1対1に対応し、データは第1のバッファメモリを介して読出したまたは書込みされる構成とする。加えて不揮発性メモリの消去、書込みすなわち書換えでは、メモリブロック間での

個々のセクタの活性をセクタ毎に時間的にシフト選択させ、制御できる構成とする。さらに本発明の他の実施形態によれば、例えば図7に示すように、第1のバッファメモリ（24-1～24-8）と外部I/O信号（38）間に第2のバッファメモリ（30-1～30-8）を配置する。これにより、例えば一度に2セクタ分のデータが転送可能になるなど、書き込み読み出しの実効的な効率向上に有効である。なお、上記時間シフト選択の制御は消去、書き込みに要する時間がメモリブロックの個々のセクタにより異なるため、最小シフト時間は並列に同時選択され活性化できるメモリブロックの数で求められ、メモリ装置（2）の最大許容電流を考慮した値となる。以上から本発明の不揮発性メモリ装置は消去、書き込み、すなわち書換えの速度が最適制御され高速化できる。本発明の他の特徴については後述の実施例の説明の中で詳述する。

【0005】

【作用】本発明の代表的な実施形態（図1）では、データの書換え、すなわち消去、書き込みは第1のバッファメモリ（24-1～24-8）と対応する個々のメモリブロック（22-1～22-8）の各セクタ間で、該当する各セクタを時間シフトしつつ選択し処理される。その際、メモリ装置（2）は外部アドレスが入力されると現在の動作モードで外部アドレスに対応するセクタが消去可能か否かを判断し、可能であれば該当セクタの消去に入る。もし書換え中のセクタ数が多く、同時並列書換えが設定したメモリ装置の最大許容電流を超え、書換え不可能である場合は一時ウェイトして先に処理中のセクタ完了を待つ。その完了後に該当セクタの書換え動作に移る。また書き込みは該当するセクタの消去に引き続き実施され、同様に同時並列書換えが可能なメモリブロック数の範囲で処理されるので、ブロック数の範囲が超過する場合は、入力されたアドレスの順序に従い、書き込みもウェイトする。このように、本発明の不揮発性メモリ装置ではメモリブロックの各セクタを個々に時間シフト選択し、消去、書き込み制御することにより、消費電流の増加を抑え、かつトータルの書換え時間を短縮することが可能になる。一方、本発明の好適な実施形態（図7）では、第1のバッファメモリ（24-1～24-8）と第2のバッファメモリ（30-1～30-8）を設けているので、一度に、2セクタ分のデータが転送可能であり、それは所定のセクタに書き込みデータを転送しつつできる。また一方のバッファメモリでは書き込みデータを所定セクタに転送しつつ、書き込みの間に他方のバッファメモリでは読出しデータを読出すこともできる。従って、書換え時間はメモリブロック（22-1～22-8）間の各セクタで時間シフト制御しつつ、かつ2つのバッファメモリを効率よく制御することで空き時間の有効活用ができ、さらに高速化することも可能になる。

【0006】

【実施例】以下、図面を参照にして本発明の実施例を詳細に説明する。図1は本発明の不揮発性メモリ装置の消去、書き込みの概念を示すためのブロック図である。図において、22-1～22-8の各々は電氣的に書き込み可能な不揮発性メモリで構成されるメモリブロック、2は同不揮発性メモリのメモリブロック22-1～22-8を主体に構成され、メモリボード、メモリカード、メモリモジュール等の形態で情報を蓄積する不揮発性のメモリ装置、4はメモリ装置2の各メモリブロック22-1～22-8に対して、読出し動作もしくは消去、書き込み等の書換え動作を制御する装置制御回路、6はメモリ装置2の外部メモリ制御信号であり、例えばマイクロコンピュータ等から指示される読出し、書き込み制御信号である。8は同様にメモリ装置2に印加する外部のアドレス信号を示す。また、10は外部アドレス信号8及び外部メモリ制御信号6を基にメモリブロック22-1～22-8の内部アドレスを発生させ、かつ読出し、書換えの制御を行なうリードライト回路、40は主にメモリブロックとそのセクタを選択する内部アドレス記憶用のアドレスレジスタ、12はメモリブロック22-1～22-8の各ブロックを個々に制御するメモリブロック制御回路、14は同回路12の出力であるメモリブロック制御信号を示す。一方、24-1～24-8の各々は第1のバッファメモリであり、51は第1のバッファメモリ24-1～24-8からなる第1のメモリバッファ群であり、データをメモリブロック22-1～22-8に書き込む場合、例えば51の各第1のバッファメモリ24-1～24-8は1セクタを512バイトとすると4Kビットの書き込みデータが揃うまで一時保持する。また同バッファメモリはメモリブロックの各セクタへの書換えを時間的にシフトする際は書き込みデータの格納場所となる。なお同図の第1のバッファメモリの総容量は32Kビット（8×4Kビット）になる。さらに16は上記第1のバッファメモリの制御回路、18は上記第1のバッファメモリの制御信号、50はメモリブロック22-1～22-8の集合であるメモリブロック群である。20はメモリブロック22-1～22-8に実際に供給する内部アドレス信号を示す。26-1～26-8は内部I/Oバス、28-1～28-8はメモリブロックと第1のバッファメモリ間のデータバス、38は外部I/O信号、さらに36は外部I/O信号38と内部I/Oバス26-1～26-8を接続するコモンバス制御部である。一方、42はメモリ装置を制御するその他の制御回路、また102、104、106、108、110は本実施例を説明するために配した消去、書き込みを実施するセクタの位置を示し、t1～t3、t9は同セクタが活性する時間をそれぞれ示すもので、所定の時間もしくはランダムな時間に該当するセクタが活性化することを示している。φ1は第1のバッファメモリ24-1～24-8の制御信号18を活性化せ、その動作タイミングを決める制御回路16の活性化

信号である。なお、コモンバス制御部36は、第1のバッファメモリ24-1~24-8の出力を第1のバッファメモリの制御信号18でトライステート化する場合、内部I/Oバス26-1~26-8を外部I/O信号38と直接接続して、コモンバス制御部36を省略しても良い。

【0007】次に本実施例の消去、書き込みすなわちメモリ装置2のデータ書換え動作を説明する。不揮発性メモリの書換え動作は指示された該当するセクタのメモリセル内容をまず消去し、その後第1のバッファメモリ24-1~24-8のデータをメモリセルに書き込む順に実施する。この書き込みはメモリセルのフローティングゲートへエレクトロンもしくはホールを注入する現象であるため高電圧を必要とし、その印加時間は読出し時間に比べて長時間となる。このため読出し時間と書き込み時間は約2~3桁の大きな時間的差が生じる。この書換え時間の長いことがメモリ装置に不揮発性メモリを使う上の一つの欠点となる。そこで本実施例では、消去完了、書き込み完了の一連の書換え動作をセクタ毎、順次行なう方法もしくは複数チップの複数セクタをまとめて消去し、次に書き込みを実施する従来方法ではなく、該当するセクタの消去中にも他のセクタを次々に活性化させる時間シフト書換え動作を可能とする。

【0008】図1は消去／書き込み動作を該当するメモリブロックの1セクタもしくは数セクタまとめて実施する様子を示している。またt1~t3、t9は該当するセクタの書換え完了後、次のセクタの書換えを実施する時間経過に即した順序を示している。この書換えを従来方法で行なうと書換え時間はセクタの書換えアクセス回数だけ要する。しかし本実施例では、複数個のセクタを所定時間でシフト選択し、書換えするように機能する。その方法は書換えする複数セクタを予め外部アドレスで転送すると、リードライト回路はこれらのアドレスに関するセクタアドレスをアドレスレジスタ40に記憶し、各セクタに対する消去を所定の時間だけシフトしながら実施する。次いで各セクタを順次書き込む。この際、アドレス情報と共に入力されたデータは第1のバッファメモリ24-1~24-8が一時保持して、メモリブロック22-1~22-8の消去と書き込みのタイミングに合わせて展開できるようにタイミング調整が図られる。また上記アドレスレジスタ40では所定のセクタ以外のセクタ選択を禁止するため、実行中の内部アドレスとこれから実行するアドレスを記憶するアドレスレジスタを持つ。これにより、次に実行すべきアドレスを記憶できるので消去、書き込み処理時間が短縮できる。またそのアドレスレジスタに加えて、実行中の内部アドレスとこれから実行する内部アドレスを区別するフラグビットを少なくとも1ビット有する。またそのフラグビットではアドレスレジスタ40に内蔵する各セクタのアドレスが書き込み中もしくは消去中であることを知ることができ、それらに

よってセクタが書換え完了であるか否かを判定できる。また該当セクタ以外の消去もしくは書き込みアクセスを禁止する信号として使用しても良い。なお、この消去もしくは書き込み状態を知るフラグビットは任意または電源立ち上げ等により最初はクリアされ、その書き込みは、メモリブロック22-1~22-8からの消去、書き込み終了信号、またはリードライト回路10自体が時間管理して、フラグビットの情報を書き込み制御するように構成しても良い。

【0009】具体的な動作は、外部アドレスが入力されると現在の動作モードで外部アドレスに対応するセクタが消去可能か否かを判断し、可能であれば即該当セクタの消去に入る。もし消去中のセクタ数が多く同時並列書換え（消去、書き込み）が設定した装置2の許容消費電流を超え、不可能である場合は一時ウェイトして先に処理中のセクタ完了を待つ。その完了後に該当セクタの書換え動作に入る。また書き込みは該当するセクタの消去に引き続き実施され、同様に同時並列書換えが可能なセクタ数の範囲で処理されるので、セクタ数の範囲が超過する場合は、入力されたアドレスの順序に従い、書き込みもウェイトする。このように、不揮発性メモリ装置2ではメモリブロックの各セクタを個々に時間シフト選択し、消去、書き込み制御されるので、消費電流の増加が抑えられ書換え時間が短縮される。このようにフラグビットは書換え動作の管理ビットとして参照、更新される。

【0010】このような時間シフト選択によるセクタ制御は、書換えに要する消去もしくは書き込み時の電流が、複数の不揮発性メモリブロックの並列動作時に許容できる電流範囲で実施される。すなわち、装置の高速化は並列書換え動作による速度向上と同時に生じる複数の不揮発性メモリブロックの最大活性電流を許容できる最適な並列書換え数で達成される。例えば装置は各メモリブロックの消去、書き込みに必要な高電圧系の回路起動、消去もしくは書き込み回路系の充放電、CMOS論理回路の起動時に流れる電流が大部分を占めるため、そのピーク電流を避けるようにシフト選択動作を行なうと良い。なお、消去動作の一部分で大きな電流が流れ、その他では低レベルの電流となるメモリブロックは、上記書換え方法によりその大きな電流が流れる期間を回避することで、さらに同時に活性できるメモリブロック数を多くできる。例えば、メモリブロックのセクタ選択時のピーク電流100mA、定常電流20mAで装置の許容電流を200mAとする。その場合、装置の電流はシフト選択動作でピーク電流100mA、定常電流100mAとなるので5個のメモリブロックの消去が上記動作でできる。また消去と書き込みが同程度の消費電流でない場合、例えば書き込みに大電流が流れる場合は書き込みのメモリブロック活性数を抑制防止する制御を行なえばよい。さらに消去、書き込みに要する時間が個々のセクタによりばらつく場合は、消去、書き込みすなわち書換えの時間シフト

処理は複数の不揮発性メモリブロックの活性電流を許容できる範囲で最適な並列書換え数とその数以下の範囲で実施される。また最小シフト時間は並列に同時選択され活性化されるメモリブロックの数で計算され、その値は装置の最大許容電流を考慮した数値となる。

【0011】次に上記装置において1メモリブロック毎の書換え速度をもとめる。その条件は消去、書込み動作で、セクタ単位512バイト、1セクタの消去時間10ms、書込み時間5μs/バイトとし、第1のバッファメモリを8個配置、同バッファメモリの8個全てに対して必ず毎回アクセスされたと仮定する。その場合、従来方法では上記不揮発性メモリの書換えの速度が約12.5ms/512バイト(=10ms+5μs×512)になる。一方、本実施例の時間シフト書換え動作では、上記ピーク電流を避ける程度に時間シフトした定常電流状態で消去の並列数を4個許容すると、書換えの速度は約5ms/512バイト{(10ms×8/4+5μs×512×8)/8}となり、従来の約2倍高速化できる。さらにバッファメモリが多く配置される装置ではより高速になる。なお、同一のセクタに書込む場合は対応する第1のバッファメモリにデータが存在する場合があるので、消去、書込みの書換え頻度を低減できる効果もある。一方、消去、書込みを実行するセクタのアドレスはアドレスレジスタ40によって一時保持され、外部アドレスと非同期で実施できる構成としても良く、また外部アドレス8の印加タイミングで、外部アドレス8そのものを内部アドレス20として各メモリブロックに印加しても良い。

【0012】一方、バッファメモリの他の役割は、外部アドレスが次々に入力され、同様にデータが入力された場合でも、アドレスレジスタ40でのアドレス記憶とバッファメモリ24-1~24-8のデータバッファリングによって整然と処理でき、書換えは一定速度で実施できるよう制御される。なお、上記のようにバッファメモリの容量は少なくとも各メモリブロックのセクタに対して同一容量があれば良いが、書換えのための多くの外部アドレス及びデータを先行的に入力する場合は、アドレスレジスタとバッファメモリの容量増加とこれらの制御を考慮すれば良い。なお、不揮発性メモリのメモリセルの書換えではセクタ毎のメモリセルの書込みと書込み完了を確認すなわち書込みベリファイするため、セクタと同一容量のデータラッチ回路が必要であることも考えられる。その場合は、データラッチ回路と第1のバッファメモリの組合せもしくはデータラッチ回路自体を第1のバッファメモリとしてシフト選択書換えを行っても良い。

【0013】本実施例による構成では、書換えてないメモリブロックのセクタ全てに対して読出しを実施でき、通常のアドレスアクセスであるバイト毎の読出しに加えて、バッファメモリに1セクタ分の内容を同時保管して逐次出力するページアクセスができる。また書換え動作

中は該当する第1のバッファメモリの書込みデータを基にメモリブロックのセクタを書換えながら、他のメモリブロックのセクタでは読出しするように制御して、書込み兼読出しをしても良い。この書込み兼読出しの制御では、第1のバッファメモリへ書込むセルの読出しデータ転送が通常のメモリと同様に高速で実施できるので、読出し時間は従来のように不揮発性メモリの書換え完了の長い時間を待つことは無い。書換えと読出しが同時並列実施される場合の電流増加も書換え動作時と同様に、活性するメモリブロックの数は制御される。なお、第1のバッファメモリはメモリセルにデータを書込む前もしくは更新後のデータであればメモリブロックへの書込みもしくは読出しのキャッシュメモリとして機能することは言うまでもない。

【0014】図3に第2の実施例を示す。同図において、図1と同一部分には同一番号を付すことにより説明を省略する他、記号のADはアドレスおよび書込みデータの転送動作期間、Eは該当するメモリブロックのセクタの消去動作期間、Wは書込み動作期間をそれぞれ示す。同図は不揮発性メモリ装置2が書換え時の時間tの経過に対して、メモリブロック22-1~22-8の各メモリブロック内の各セクタが消去E、書込みWの上記動作状態に移するタイムシーケンスを示している。以下、図1と図3を用いて本発明におけるデータの書換えタイミングを模式的に説明する。本実施例では時間t1においてバッファメモリ24-1の内容が、該当するメモリブロック22-1のセクタ102に対して、まず消去E、次いで書込みWと順に制御される。さらにバッファメモリ24-2と対応するメモリブロック22-2のセクタ104に対しては時間t2とt1の差の期間シフトし消去E、書込みWが開始される。以下、他のメモリブロック22-3~22-8に対しても同様に行われ、書込みWは次ぎのセクタと重なることなく実施される。なお、消去Eもしくは書込みWの時間は各セクタで異なる。このため、本実施例の具体的な構成では図1で述べたアドレスレジスタ40に付加したフラグビットが各セクタ毎の書込み動作の完了で書換えられ、始めて次のセクタの書込みWを開始許可するよう機能する。上記書換えの処理方法により、書込み時の複数セクタ同時活性による電流集中を分散低減でき、書換え時間が高速化できる。

【0015】図4に第3の実施例を示す。同図において、図1及び図3と同一部分には同一番号を付すことにより説明を省略する。以下、図4を用いて本発明におけるデータの書換えタイミングを説明する。同図ではメモリブロック22-1の所定の時間t1でセクタ消去Eを行い、その消去動作に要する時間だけ遅延して次のメモリブロック22-2のセクタの消去Eが開始される。従って、先に活性したセクタの書込みWと次のセクタの消去Eが重なる動作となる。また書換えアドレスとデータ

はアドレスレジスタ40と第1のアドレスバッファに記憶され、書き込みWの時間が長くなった場合は、図3の実施例と同様に次のセクタの書き込みWに重ならないよう制御される。一方、消去Eは常に1メモリブロック内の1セクタもしくは複数セクタが対象であり、本実施例はメモリブロックの消去E時の電流が大きく、少なくとも消去Eと書き込みWの並列処理ができ、消去の並列化が困難な場合に効果がある。上記書換えの方法によって、従来の書換え方法より高速化できる。

【0016】図5に第4の実施例を示す。同図において、図1及び図4と同一部分には同一番号を付すことにより説明を省略する。以下、図5を用いて本発明におけるデータの書換えタイミングを説明する。同図はメモリ装置2において書換え動作が指示されるとメモリブロックの所定のセクタを先ず消去する。この動作は書換えアドレスを記憶するアドレスレジスタ40と第1のバッファメモリ24-1～24-8に記憶されたデータをアドレスレジスタ40に付加したフラグビットを基に開始し、アドレスレジスタ40と第1のバッファメモリのセット数以内で連続消去可能となる。次いで装置は書き込み動作を実施する。これにより装置内では、消去もしくは書き込み動作が交互に発生する回数を低減し、消去及び書き込みの各動作に必要な各種電源の切替え、すなわち立ち上げ、立ち下げが消去、書き込み毎に一回となる。例えば同図においては、メモリブロック22-1を時間t1から消去し、消去完了後は22-2、22-4、22-8の順で消去し、そして再度メモリブロック22-2を選択する5つのセクタを対象とする書換えの例である。ここで、t5の時間で再選択されたメモリブロック22-2を消去するような命令がきたときは、先に時間t2のタイミングで消去されている。すなわち消去に関するフラグビットをみると消去が完了し、かつ書き込みに関するフラグビットをみると書き込みがこれからであるのでt5のタイミングではこの消去を飛ばして22-1に書き込む。消去命令を受けるセクタはt1、t2、t3、t4、t5の5つになるが、実効的にt5は飛ばし、書き込みは4ヵ所に書き込めばよい。なお、t5のタイミングで入力されたデータはメモリブロック22-2に対応する第1のバッファメモリ24-2の内容のみを修正することになる。次いで、4つのセクタの書き込みに移る。この際はメモリブロック22-2を図5のように2番目に書き込みしても良いし、メモリブロック22-2を4番目すなわち時間的に図5の最後に書き込むよう構成しても良い。以上のタイムシーケンスによって、消去動作では電源の立ち上げ、立ち下げが1回となり、また書き込みも1回となるので、図3もしくは図4で示したような消去、書換えの対での動作が繰返し実施される場合に比べて、書換え時間を短縮できる。また、同一セクタに対するデータ修正は、書き込み動作に入る以前であればバッファメモリの内容を修正するので容易である。なお、本方法で

は消去時のセクタが重ならない例で示しているが、上記図3の実施例で示したように消去が複数の不揮発性メモリブロックの活性電流を許容できる範囲であれば、それらのメモリブロックの活性数以下で実施できることは言うまでもない。書き込みも同様である。なお同一メモリブロックの異なるセクタの連続消去、書き込みでは該当メモリブロックに対して複数のバッファメモリを要するので、メモリブロックと対となる第1のバッファメモリに加えてアドレスレジスタを複数セット準備すれば良い。

【0017】図6に第5の実施例を示す。同図において、図1及び図3と同一部分には同一番号を付すことにより説明を省略する。以下、図1と図6を用いて本発明におけるデータの書換えタイミングを説明する。同図は消去Eの動作活性時間を分割した場合を示している。同図は、装置の電流が書き込みWに大となる例であり、従って、その動作は該当セクタが書き込み中は、その他のセクタは消去Eもしくは書き込みWを禁止するように機能する。すなわち消去動作は、該当するセクタの書き込み中、他のセクタの消去もしくは書き込み動作を禁止し、細かく分割されながらセクタ消去に必要な時間が加算され実施される。例えばメモリブロック22-5のセクタに対しては消去E、非活性状態の空き時間、消去E、空き時間、消去Eと繰返し消去動作が入る。なお、反対に消去E時に装置の電流が大となる場合は他のセクタの消去動作を禁止し、書き込みが実施される。本実施例によって、メモリ装置2の電流が抑制され、かつ装置全体での書換え時間は高速化できる。

【0018】図7に第6の実施例を示す。同図において、図1と同一部分には同一番号を付すことにより説明を省略する他、30-1～30-8は第2のバッファメモリ、53は第2のバッファメモリ30-1～30-8の集合である第2のバッファメモリ群、34は第2のバッファメモリの制御信号、44は第2のバッファメモリの制御回路、φ2は第2のバッファメモリ制御回路44の活性信号をそれぞれ示す。以下、図7を用いて実施例における書換え動作を説明する。本実施例の基本的な動作は図1と同様であり、加えて第2のバッファメモリ30-1～30-8を付加することで、次の動作が可能になる。第1のバッファメモリ24-1～24-8とI/O信号38との間の書き込みデータ転送では一般に書換え時間の長さ比べて非常に短く、相当の非活性期間すなわち未使用の空き時間がある。この空き時間を活用することで実効的な書き込み、読出しの効率向上が図れる。例えば、バッファメモリが2つあるので一度に2セクタ分のデータが転送可能であり、それは所定のセクタに書き込みデータを転送しつつできる。また一方のバッファメモリでは書き込みデータを所定セクタに転送しつつ、書き込みの間に他方のバッファメモリでは読出しデータを読出すこともできる。従って、書換え時間はメモリブロック(22-1～22-8)間の各セクタで時間シフト制御しつ

つ、かつ2つのバッファメモリを効率よく制御することで空き時間の有効活用ができ、さらに高速化できる。一方、書換え時のバッファは主に第1のバッファメモリ24-1～24-8に対応させ、第2のバッファメモリ30-1～30-8は読出し専用利用し、該当セクタの書込み兼他のメモリブロックのセクタ読出しに活用できる。読出しのみの動作では2つのバッファメモリに交互にデータを取り込み、交互に読出しすることによって実効的な読出し時間の短縮を図ることもできる。さらに図4に示したような続けて同一セクタがアクセスされた場合の読出し、書換え動作では、バッファメモリを交互に活性化させ読出しデータを第1のバッファメモリに格納し、書込みデータを第2のバッファメモリに一時的に格納する。第1のバッファメモリのデータ読出し後は、第2のバッファメモリから第1のバッファメモリに書込みデータを転送する等でその目的が達成される。なお、内部アドレスを記憶するアドレスレジスタ40は必要に応じて増加し、2系統のバッファメモリに対応し制御すれば良い。また第1と第2のバッファメモリはメモリブロックに対して並列構成としても良い。この場合は、第1と第2のバッファメモリの活用方法が対等になるので、メモリブロックのセクタに対するバッファメモリの容量が2倍と考えても良く、また一方を書込みデータ専用、他方を読出しデータ専用と区分したデータ処理にすることができる。以上のように本実施例の構成は書換え動作に対して第1のバッファメモリと第2のバッファメモリを時間的に効率良く制御して、並行動作もしくは一方の空き時間を活用できるので装置の高速化に寄与する。また読出しと書換の並行処理では2つのバッファメモリを交互に活用して同一セクタに対するデータの衝突を避ける、またはバッファメモリのデータを更新する等々が容易になる。なお、第1のバッファメモリはメモリブロックのセクタ書換え時に複数のメモリセルに一度にデータを印加することから設けたメモリブロック内のデータラッチ回路を利用しても良い。その場合の出力データは、メモリブロック内でデータラッチ回路の書込みデータが書換え完了時に保持される場合と、変化する場合があるため、変化する書換え方式では、書換え完了後に再度メモリセルから読出すことになる。一方、第1と第2のバッファメモリの両者に書込みデータを入れ、第2のバッファメモリの内容をデータ読出しに使うように制御しても良い。

【0019】図8に第7の実施例を示す。同図において、図1と同一部分には同一番号を付すことにより説明を省略する他、52は第3のバッファメモリ、56は第3のバッファメモリの制御信号、54は第3のバッファメモリの制御回路、φ3は第3のバッファメモリ制御回路54の活性信号をそれぞれ示す。本実施例では第1のバッファメモリ24-1～24-8はそれぞれ対応するメモリブロック22-1～22-8に取り込まれたデータラ

ッチ回路として不揮発性のメモリセルの書換え完了までのデータを保持する。したがって図8に示すように、第1のバッファメモリ24-1～24-8はメモリブロック22-1～22-8とともに同一メモリブロック群50に収容される。また本実施例では第3のバッファメモリ52が、外部I/O信号38とI/Oコモンバス26-1～26-8とのバッファであるとともに、読出し書込みデータを一時的にストックする。さらにメモリブロックを任意に選択して上記のストックした書込みデータにより所定のセクタに書換えを行う。本実施例では第1と第3のバッファメモリは以上のような構成と作用を有するのでデータ転送の速度を上げることができる。以下、図8を用いて本実施例における書換え動作を説明する。本実施例の基本的な動作は図1と同様であり、上記実施例で述べた時間シフト選択書換えは個々のメモリブロックの開始アドレスを一時保持するアドレスレジスタ40を複数配置し、バッファしたデータを各メモリブロックのセクタへ次々に切替え転送するよう構成することで達成される。これは、バッファメモリ52から各セクタに対応する第1のバッファメモリ24-1～24-8すなわちデータラッチ回路へのデータ転送がセクタのメモリセル書込み時間より十分速いことによる。すなわち書込みデータの各セクタへのセット時間はセクタで書込み動作が重ならない場合、データ転送時間は例えば10μs/セクタ(=上記I/O信号38からバッファメモリまでのデータ転送速度20ns×512バイト)程度であり、書込み時間10ms/セクタに比べ十分速い。なお、この場合は不揮発性メモリに設けられたデータラッチ回路が上記したように第1のバッファメモリであり、メモリセルの書換え完了前までのデータを保持することになる。このように本実施例によっても、上記データラッチ回路を第1のバッファメモリとして、また少なくとも1セクタ分の小容量を第3のバッファメモリ52とする構成によってシフト選択書換え動作が可能になる。

【0020】以上説明したように本発明によれば、不揮発性メモリ装置はI/O端子すなわち外部I/O信号38とメモリブロックのセクタ間にバッファメモリを挿入し、各セクタの書換えは時間シフト選択で効率良く実施できるので、高速に情報を記憶することができる。またバッファメモリはそのデータの読出しもしくは書込み動作時にキャッシュメモリ機能としても働くため、そのバッファメモリにより不揮発性メモリの書換回数を抑制し低減する効果がある。さらにセクタの書換えを開始するアドレスは、制御部のアドレスレジスタに少なくともセクタのアドレスで記憶し、かつレジスタに付加した書換を必要とする「しるし」としてフラグビットを消去、書込みに応じてそれぞれ書換え更新し、また書込み完了後はフラグビットを書換え不要と書換えるような構成としてもよい。このようにするとフラグビットの判定で書換え完了の確認ができる。この書換えアドレスの記憶は基

本的に書換え処理の期間一時的に記憶できればよいのでDRAMもしくはS.RAMのような揮発性メモリでよい。これにより回路構成とリードライト回路の制御が簡単になる。なお、バッファメモリはDRAMもしくはS.RAMでもよいが、転送中の電源遮断、また電池レベルが低下した場合は、外部から書込みデータを再転送するが、そのセクタの開始アドレスデータ等を上記第1もしくは第2のバッファメモリの1つを不揮発性メモリもしくは電池バックアップされた揮発性メモリ等で構成されるメモリに記憶するのであれば、電源レベル復帰後、セルフで再書込みするよう構成することもできる。さらにフラグビットを不揮発化して、書込みプロテクト信号に用いても良い。一方、上記実施例で述べた書換え時の時間シフト選択の方法はメモリ装置の動作モード選択機能とともに組入れ、種々選択できるようにしてもよい。

【0021】なお、本発明は上記実施例に限定されるものではない。例えば、装置の外観、形状や情報の記憶方法は必要に応じて種々変形できる。また消去、書込みの手順などについても変更でき、その全部もしくは一部を装置の外部から制御してもよい。その場合は、消去もしくは書込みを実行中である旨の情報を装置の外部へ出力することで制御が容易となる。一方、メモリ装置の構成では実施例で示した1/O信号の数、セクタの数に限定されるものではなく、またセクタの集合であるメモリブロックに対しても複数セクタの選択時に流れる電流の増加はメモリブロック間のセクタ選択時に比べ微々たる量であり、メモリブロック内の複数セクタを時間シフト選択することも容易なことは言うまでもない。さらにメモリブロック内が分割され、分割されたメモリアレイのそれぞれがメモリブロックと同様に書換え、読出しが可能である場合も同様に本発明を適用できる。なお、バッファメモリの構成は1ポート形メモリに限定することなくシリアルポートとパラレルポートを有するマルチポート形メモリであってもよい。その場合、装置はシリアルデータを高速に転送でき、かつ容易に実施できる。

【0022】一方、上記実施例がセクタ単位で情報を転送することから、それに対応する形で例えば半導体不揮発性メモリであるフラッシュメモリのメモリブロックのワード線不良もしくはビット線不良を管理して、不良ビットの存在するセクタをマスクしてもよい。これはさらにメモリ装置内部に電気的書込み可能なリードオンリメモリを不良セクタの管理に用いることでリアルタイムで救済動作可能なセクタ救済回路を有する装置を構築できる。これにより、これまで廃棄した部分良品のメモリブロックの使用ができる。この際、セクタ救済回路は不良セクタと正常なセクタを管理するため読出し、書換えのアドレスレジスタを含めたセクタ管理テーブルを装置内に設けることになる。その場合に、各セクタの内部アドレスを内蔵するセクタ管理テーブルを有して、該セクタ管理テーブルは、該テーブルによる不良セクタへの消

去、書込み、読出しアクセスが、予備のセクタへのアクセスとなるよう構成してもよい。また不良セクタは1/O端子を介して装置外部に出力して外部管理することも考えられる。

【0023】さらに本発明は実施例において装置としてメモリブロックの集合体を考慮したが、大容量化されたメモリ装置チップ、例えばメモリブロック、バッファメモリ、リードライト回路の装置制御回路等から成るメモリ装置において、少なくとも2つを同一半導体基板上に設ければよい。またはロジックインメモリもしくはウェーハ上に構築するウェーハスケールインテグレーション等の半導体メモリ、光磁気ディスクのようなセクタ単位で書換えが行なわれるメモリ装置、もしくはこれらの併用によるメモリ装置に対しても活用できることは言うまでもない。すなわち、本発明の骨子を逸脱しない範囲で種々変形して実施することができる。

【0024】

【発明の効果】本発明によれば、各セクタの消去、書込み動作を時間シフト選択で処理する。この処理では同時に複数のメモリブロックの消去もしくは書込みが重なることも考えられるが、装置の消費電流は、外部のアドレス入力信号及びメモリ制御信号もしくはそれらを入力として活性される内部のアドレス、制御信号に抑制され、またピーク電流を避ける形で時間シフト選択されるため大電流になることはない。また装置は過大な電流がないことから熱の発生を抑制し、低ノイズレベルを維持でき、信頼性が向上する。なお、情報保持に電源がいらないビット単価の安いDRAM並みの不揮発性メモリで、さらに部分的に良品でありながら不良品として従来廃棄されていた半導体メモリを利用できるため大容量メモリ装置が低コストでできる。

【図面の簡単な説明】

【図1】本発明の不揮発性メモリ装置の消去、書込みの概念を示すためのブロック図。

【図2】従来の技術による不揮発性メモリ装置を説明するためのブロック図。

【図3】本発明の第2の実施例を説明するためのタイムシーケンス。

【図4】本発明の第3の実施例を説明するためのタイムシーケンス。

【図5】本発明の第4の実施例を説明するためのタイムシーケンス。

【図6】本発明の第5の実施例を説明するためのタイムシーケンス。

【図7】本発明の第6の実施例を説明するためのブロック図。

【図8】本発明の第7の実施例を説明するためのブロック図。

【符号の説明】

2…メモリ装置 4…装置制御回路 6…外部メモ

リ制御信号
 8…外部アドレス信号
 ライト回路
 12…メモリブロック制御回路
 16…第1のバッファメモリ制御回路
 20…内部アドレス信号
 メモリブロック
 24-1～24-8…第1のバッファメモリ
 26-1～26-8…I/Oコモンバス
 28-1～28-8…データバス
 30-1～30-8…第2のバッファメモリ
 34…第2のバッファメモリ制御信号
 38…外部I/O信号

10…リード
 14…メモ
 18…第1のバ
 22-1～22-8…
 36…コモ
 42…その

【図1】

他の制御回路
 44…第2のバッファメモリ制御回路
 51…第1のバッファメモリ群
 53…第2のバッファメモリ群
 54…第3のバッファメモリ制御回路
 56…第3のバッファメモリ制御信号
 102、104、106、108、110…選択される
 セクタ
 E…消去動作期間 W…書き込み動作期間 t1～t9
 …セクタ活性時間
 AD…アドレスおよび書き込みデータの転送動作期間
 φ1…第1のバッファメモリ制御回路の活性信号
 φ2…第2のバッファメモリ制御回路の活性信号
 φ3…第3のバッファメモリ制御回路の活性信号

【図2】

図1 本発明の装置の消去、書き込みの概念図

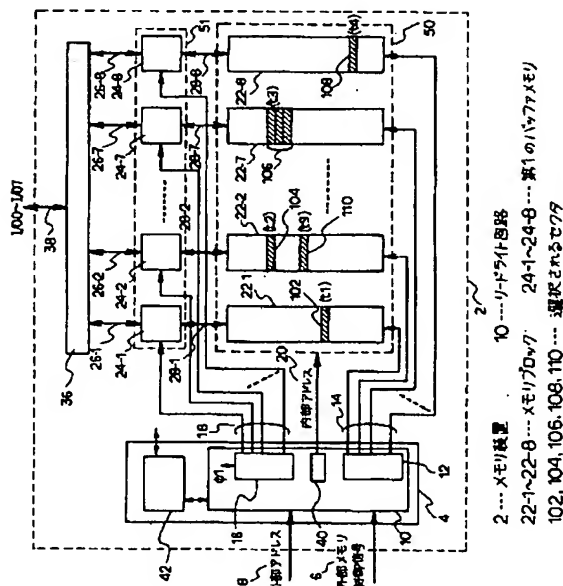
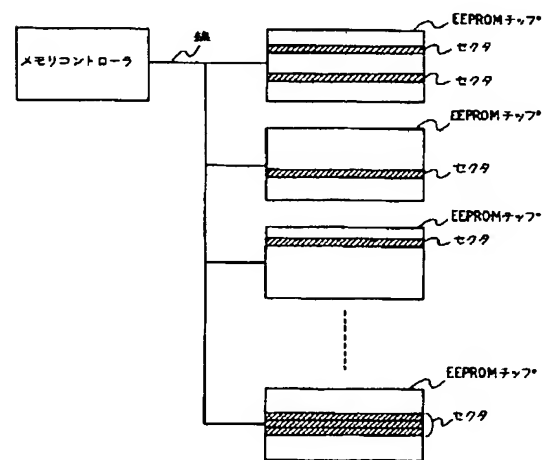
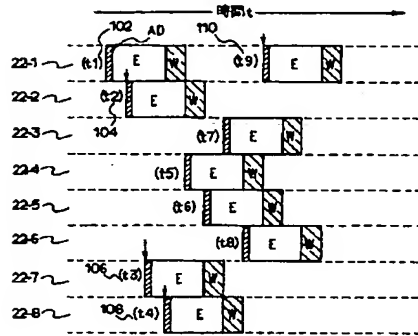


図2 従来の装置を説明するためのブロック図



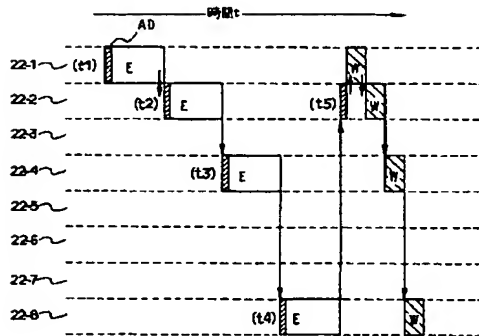
【図 3】

図 3 本発明の第2の実施例を説明するためのタイムシーケンス



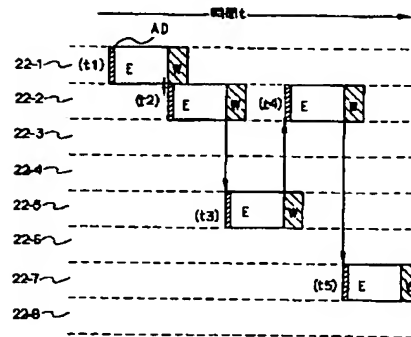
【図 5】

図 5 本発明の第4の実施例を説明するためのタイムシーケンス



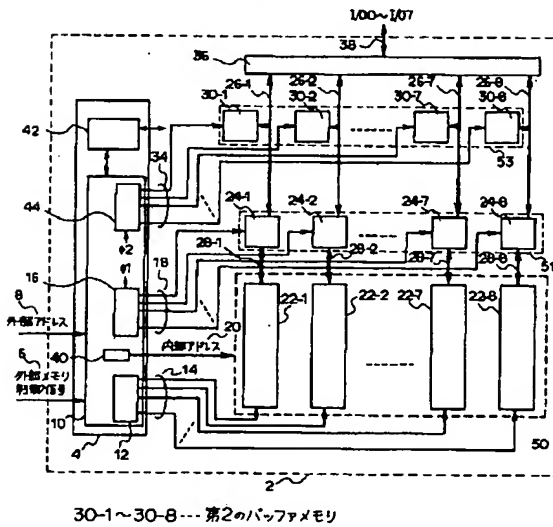
【図 4】

図 4 本発明の第3の実施例を説明するためのタイムシーケンス



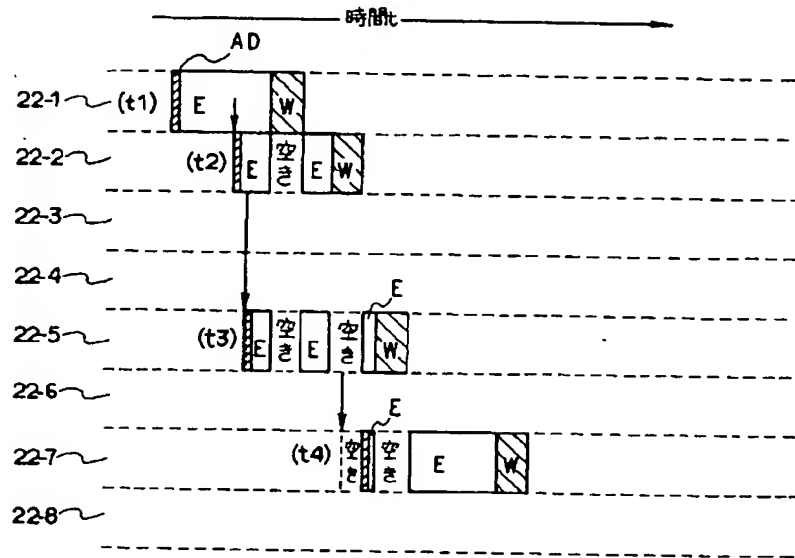
【図 7】

図 7 本発明の第6の実施例を説明するためのブロック図



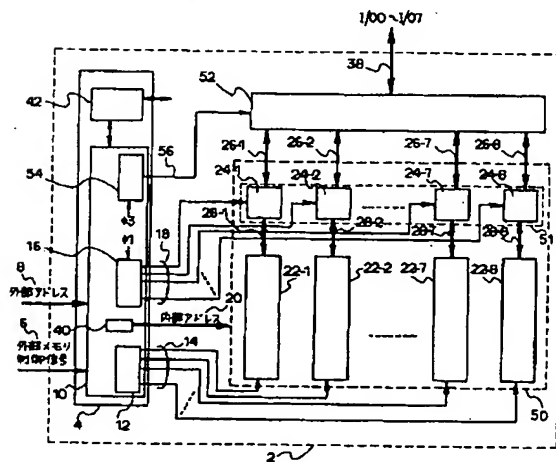
【図6】

図6 本発明の第5の実施例を説明するためのタイムシーケンス



【図8】

図8 本発明の第7の実施例を説明するためのブロック図



52... 第3のパーティメモリ

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.